

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007303

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 27/108

H01L 21/8242

H01L 27/10

(21)Application number : 11-173018

(71)Applicant : TOSHIBA CORP

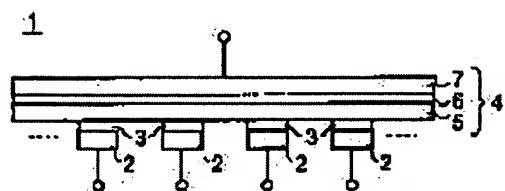
(22)Date of filing : 18.06.1999

(72)Inventor : FUKUZUMI YOSHIAKI  
KOYAMA HIROSUKE

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain degradation of a dielectric which constitutes capacitor films even when annealing is executed in an atmosphere containing a reducing agent, by a method wherein a common electrode which is common to a plurality of dispersed electrodes is provided, and the capacitor films which are formed between the plurality of dispersed electrodes and the common electrode are provided.



SOLUTION: Dispersed electrodes 2 which are dispersed into a plurality of parts and a common electrode 4 which is common to the dispersed electrodes 2 in a plurality and which faces the dispersed electrodes 2 via capacitor films (dielectric films) 3 are provided at a capacitor structure 1. The common electrode 4 contains a laminated structure which is composed of at least three layers as a lower-part conductor layer 5, a barrier layer 6 and an upper-part conductor layer 7. The lower-part conductor layer 5 faces the respective dispersed electrodes 2 via the capacitor films 3. The upper-part conductor layer 7 faces the

lower-part conductor layer 5 via the barrier layer 6. Then, when a reducing material or a material having a property of hardly permeating hydrogen is used for the barrier layer 6 out of the laminated structure composed of the three layers, it is possible to control degradation of the film quality of the capacitor films 3 even when a hydrogen annealing operation is executed.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-7303  
(P2001-7303A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ト* (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1 5 F 0 8 3
21/8242			4 5 1
27/10	4 5 1		6 2 1 C

審査請求 未請求 請求項の数14 O L (全 21 頁)

(21) 出願番号	特願平11-173018	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成11年6月18日 (1999.6.18)	(72) 発明者	福住 嘉児 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
		(72) 発明者	幸山 裕亮 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
		(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)

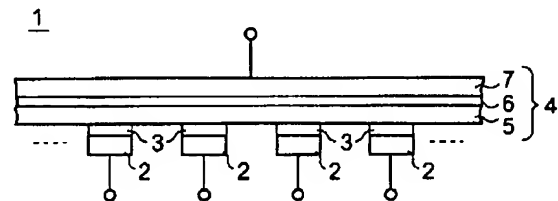
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を持つ半導体装置を提供すること。

【解決手段】 複数の分散電極 (SRO) と、下部導電体層 (SRO) 5、バリア層 ( $Al_2O_3$ ) 6、および上部導電体層 (Al) 7 からなる積層構造を含み、複数の分散電極2それぞれに共通となる共通電極4と、複数の分散電極2と共通電極4との間に形成されたキャパシタ膜 (BSTO) 3とを具備することを特徴としている。



【特許請求の範囲】

【請求項 1】 複数の分散電極と、

下部導電体層、被膜および上部導電体層からなる積層構造を含み、前記複数の分散電極それぞれに共通となる共通電極と、

前記複数の分散電極と前記共通電極との間に形成されたキャパシタ膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記積層構造がキャパシタを構成する場合、このキャパシタの容量は、前記分散電極と前記共通電極とが構成するキャパシタの容量よりも大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板上に形成された、一方電極、キャパシタ膜、および他方電極からなるキャパシタ構造を有し、前記一方電極は、前記キャパシタ膜上に形成された下部導電体層と、前記下部導電体層上に形成された被膜と、前記中間層上に形成された上部導電体層とを含むことを特徴とする半導体装置。

【請求項 4】 前記上部導電体層は、前記下部導電体層および前記被膜よりも低い抵抗率を持つことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 半導体基板上に形成された、一方電極、キャパシタ膜、および他方電極からなるキャパシタ構造と、前記キャパシタ構造の周囲に形成され、前記キャパシタ構造を実質的に覆う被膜とを具備することを特徴とする半導体装置。

【請求項 6】 前記被膜は、

Al、W、Cu、Ti、Co、Ta、Nb、Ru、Irからなる金属群の少なくとも一つを含む金属酸化物、またはシリコン窒化物のいずれかを含むことを特徴とする請求項 1 乃至請求項 5 いずれか一項に記載の半導体装置。

【請求項 7】 半導体基板上に形成された金属酸化物と、

前記金属酸化物上に形成された第 1 の導電体膜と、前記第 1 の導電体膜上に形成されたキャパシタ膜と、前記キャパシタ膜上に形成された第 2 の導電体膜とを具備することを特徴とする半導体装置。

【請求項 8】 前記金属酸化物は、

Al、W、Cu、Ti、Co、Ta、Nb、Ru、Irからなる金属群の少なくとも一つを含む金属酸化物であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記キャパシタ膜は、

(Ba, Sr)TiO<sub>3</sub>、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、Pb(Zr, Ti)O<sub>3</sub>、Pb(Nb, Ti)O<sub>3</sub>、PbZrO<sub>3</sub>、PbTiO<sub>3</sub>、LiNbO<sub>3</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、SrBi<sub>2</sub>(Ta, Nb)<sub>2</sub>O<sub>9</sub>、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>13</sub>の少なくとも一つであることを特徴とする請求項 1 乃至請求項 8 いずれか一項に記載の半導体装置。

【請求項 10】 セルキャパシタを持つメモリセルと、

前記セルキャパシタのプレート電極に電位を供給するプレート電位供給手段と、

前記プレート電位供給手段と前記プレート電極との間に直列に接続された容量とを具備することを特徴とする半導体装置。

【請求項 11】 半導体基板上に、一方電極を形成する工程と、

前記一方電極上に、キャパシタ膜を形成する工程と、前記キャパシタ膜上に、下部導電体層を形成する工程と、

前記下部導電体層上に、被膜を形成する工程と、前記被膜上に、上部導電体層を形成する工程と、前記上部導電体層、前記被膜および前記下部導電体層を一括加工し、前記上部導電体層、前記被膜および前記下部導電体層からなる他方電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 12】 半導体基板上に、一方電極を形成する工程と、

前記一方電極上に、キャパシタ膜を形成する工程と、前記キャパシタ膜上に、下部導電体層を形成する工程と、

前記下部導電体層上に、上部導電体層を、前記下部導電体層と前記上部導電体層との界面を反応させ、被膜を形成しつつ形成する工程と、

前記上部導電体層、前記被膜および前記下部導電体層を一括加工し、前記上部導電体層、前記被膜および前記下部導電体層からなる他方電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 13】 半導体基板上に、一方電極を形成する工程と、

前記一方電極上に、キャパシタ膜を形成する工程と、前記キャパシタ膜上に、下部導電体層を形成する工程と、

前記下部導電体層上に、上部導電体層を形成する工程と、

前記上部導電体層と前記下部導電体層との界面を反応させ、被膜を形成する工程と、

前記上部導電体層、前記被膜および前記下部導電体層を一括加工し、前記上部導電体層、前記被膜および前記下部導電体層からなる他方電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板上に、一方電極を形成する工程と、

前記一方電極上に、キャパシタ膜を形成する工程と、前記キャパシタ膜上に、下部導電体層を形成する工程と、

前記下部導電体層上に、上部導電体層を形成する工程と、

前記上部導電体層、および前記下部導電体層を一括加工し、前記上部導電体層、および前記下部導電体層を含む

他方電極を形成する工程と、前記上部導電体層と前記下部導電体層との界面を反応させ、前記他方電極に被膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、キャパシタの構造に係わり、特にキャパシタ膜の劣化に起因したキャパシタの特性劣化の抑制に関する。

【0002】

【従来の技術】DRAMやFRAM等の半導体装置では、高度な微細化が進むにつれて、セル面積が小さくなり、データの記憶保持に関わるキャパシタ容量を確保するのが困難になってきている。

【0003】このような事情を解決するために、例えばDRAMの場合では、キャパシタ膜として従来用いられていたシリコン酸化膜、あるいはシリコン窒化膜に比べて誘電率の高い、たとえばBSTOといった高誘電体を使用して、同じキャパシタ面積でより多くの容量を稼ぐことが検討されている。

【0004】ところで、半導体装置の製造においては、キャパシタ形成後、多層配線工程で被ったプラズマダメージを除去して、良好なトランスタ特性や、リーク特性を得るために、多層配線形成後、水素雰囲気中でのアニール（以下水素アニール）が必要とされている。この水素アニールは、シタ処理とも呼ばれる。

【0005】

【発明が解決しようとする課題】しかしながら、たとえばBSTO等の高誘電体や、あるいはPZT等の強誘電体に関しては、水素アニールに対する耐性が乏しく、水素アニールを施すと、その膜質が著しく劣化することが判明した。膜質の劣化の原因の一つとして、水素アニール時に、水素が還元剤として作用し、酸素を含むBSTO、あるいはPZTが還元されてしまうことが考えられる。

【0006】このようなキャパシタ膜を構成する誘電体の劣化は、キャパシタ特性を劣化させる可能性がある。

【0007】この発明は、上記事情に鑑みて為されたもので、その目的は、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を持つ半導体装置を提供することにある。

【0008】また、他の目的は、データ保持特性の悪化を抑制できる回路構成を有した半導体装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の態様に係る半導体装置は、複数の分散電極と、下部導電体層、被膜および上部導電体層からなる積層構造を含み、前記複数の分散電極それぞれに

共通となる共通電極と、前記複数の分散電極と前記共通電極との間に形成されたキャパシタ膜とを具備することを特徴としている。

【0010】上記第1の態様に係る半導体装置によれば、複数の分散電極それぞれにキャパシタ膜を介して対向し、複数の分散電極それぞれに共通となる共通電極が、下部導電体層、被膜および上部導電体層からなる積層構造を含む。

【0011】上記共通電極は、分散電極との間にキャパシタ膜を介してキャパシタの電極の一つを構成するものである。このため、共通電極に含まれる積層構造中の被膜には絶縁性や導電性を問わず、様々な材料を選択できる。たとえば被膜に、還元性材料や緻密な膜質を持つ材料を選んで用いれば、キャパシタ膜に到達する還元剤の量を減らすことができる。この結果、キャパシタ膜を、還元により膜質が劣化してしまうような材料によって構成しても、キャパシタ膜の劣化を抑制することができる。

【0012】よって、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を持つ半導体装置を得ることができる。

【0013】また、上記第1の態様に係る半導体装置において、前記積層構造がキャパシタを構成する場合、このキャパシタの容量は、前記分散電極と前記共通電極とが構成するキャパシタの容量よりも大きいことが望ましい。

【0014】たとえば積層構造が構成するキャパシタの容量が、分散電極と共通電極とが構成するキャパシタの容量よりも小さいと、下部導電体層が分散電極にカップリングし、下部導電体層の電位が分散電極の電位の変動に応じて、変動してしまう。このため、キャパシタ膜が充電され難くなったり、あるいは分極され難くなったりする事情がある。

【0015】このような事情は、積層構造が構成するキャパシタの容量を、分散電極と共通電極とが構成するキャパシタの容量よりも大きくすることで改善できる。

【0016】上記目的を達成するために、この発明の第2の態様に係る半導体装置は、半導体基板上に形成された、一方電極、キャパシタ膜、および他方電極からなるキャパシタ構造を有し、前記一方電極は、前記キャパシタ膜上に形成された下部導電体層と、前記下部導電体層上に形成された被膜と、前記中間層上に形成された上部導電体層とを含むことを特徴としている。

【0017】上記第2の態様に係る半導体装置によれば、一方電極が、下部導電体層、中間層、および上部導電体層からなる積層構造を含む。

【0018】上記一方電極は、他方電極との間にキャパシタ膜を介してキャパシタの電極の一つを構成するものである。このため、一方電極に含まれる積層構造中の被



ズに起因したデータ保持特性の悪化を抑制することができる。

【0035】また、その製造方法の第1の態様は、半導体基板上に一方電極を形成し、この一方電極上にキャパシタ膜を形成し、このキャパシタ膜上に下部導電体層を形成し、この下部導電体層上に中間層を形成し、この中間層上に上部導電体層を形成する。この後、前記上部導電体層、前記中間層、および前記下部導電体層を一括加工し、前記上部導電体層、前記中間層、および前記下部導電体層からなる他方電極を形成する。

【0036】上記第1の態様に係る製造方法によれば、上部導電体層と下部導電体層との間に中間層を形成するので、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を形成できる。

【0037】また、その製造方法の第2の態様は、半導体基板上に一方電極を形成し、この一方電極上にキャパシタ膜を形成し、このキャパシタ膜上に下部導電体層を形成し、この下部導電体層上に上部導電体層を、前記下部導電体層と前記上部導電体層との界面を反応させ、中間層を形成しつつ形成する。この後、前記上部導電体層、前記中間層、および前記下部導電体層を一括加工し、前記上部導電体層、前記中間層、および前記下部導電体層からなる他方電極を形成する。

【0038】上記第2の態様に係る製造方法によれば、上部導電体層と下部導電体層との間に中間層を形成するので、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を形成できる。

【0039】さらに第2の態様に係る製造方法によれば、中間層を、上部導電体層と下部導電体層との界面を反応させつつ形成する。よって、中間層を別途形成する工程が必要なく、製造コストの低減を図ることができる。

【0040】また、その製造方法の第3の態様は、半導体基板上に一方電極を形成し、この一方電極上にキャパシタ膜を形成し、このキャパシタ膜上に下部導電体層を形成し、この下部導電体層上に上部導電体層を形成し、この上部導電体層と前記下部導電体層との界面を反応させ、中間層を形成する。この後、前記上部導電体層、前記中間層、および前記下部導電体層を一括加工し、前記上部導電体層、前記中間層、および前記下部導電体層からなる他方電極を形成する。

【0041】上記第3の態様に係る製造方法によれば、上部導電体層と下部導電体層との間に中間層を形成するので、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を形成できる。

【0042】さらに第3の態様に係る製造方法によれば、中間層を、上部導電体層と下部導電体層との界面を

反応させて形成する。よって、中間層を、反応工程のみで形成でき、製造コストの低減を図ることができる。

【0043】また、その製造方法の第4の態様は、半導体基板上に一方電極を形成し、この一方電極上にキャパシタ膜を形成し、このキャパシタ膜上に下部導電体層を形成し、この下部導電体層上に上部導電体層を形成し、この上部導電体層、および前記下部導電体層を一括加工し、前記上部導電体層、および前記下部導電体層を含む他方電極を形成する。この後、前記上部導電体層と前記下部導電体層との界面を反応させ、前記他方電極に中間層を形成する。

【0044】上記第4の態様に係る製造方法によれば、上部導電体層と下部導電体層との間に中間層を形成するので、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を形成できる。

【0045】さらに第4の態様に係る製造方法によれば、中間層を、上部導電体層と下部導電体層との界面を反応させて形成する。よって、中間層を、反応工程のみで形成でき、製造コストの低減を図ることができる。

【0046】さらに中間層は、上部導電体層、および前記下部導電体層を含む他方電極を形成した後に反応により形成されるので、たとえば他方電極上に層間絶縁膜を形成したり、内部配線層を形態したりする工程での“熱”を利用しての形成が可能であり、製造工程を簡単化でき、製造コストの低減により有利である。

【0047】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0048】〔第1の実施形態〕図1は、この発明の第1の実施形態に係るキャパシタ構造体を示す図である。

【0049】図1に示すように、この発明の第1の実施形態に係るキャパシタ構造体1は、複数に分散された分散電極2と、複数の分散電極2で共通であり、これら分散電極2にキャパシタ膜（誘電体膜）3を介して対向する共通電極4とを具備する。共通電極4は、少なくとも下部導電体層5、バリア層6、および上部導電体層7の三層からなる積層構造を含む。下部導電体層5は、キャパシタ膜3を介して分散電極2それぞれに対向する。上部導電体層7は、バリア層6を介して下部導電体層5に対向する。

【0050】図2は、第1の実施形態に係るキャパシタ構造体1を用いた1トランジスタ1キャパシタ型のDRAMセルアレイを示す図である。

【0051】図2に示すように、DRAMセルアレイには、セルトランジスタCTがアレー状に配置される。セルトランジスタCTのゲートはワード線WL（WL1、WL2）であり、そのドレインDcはビット線BL（BL1、BL2）に接続され、そのソースScは分散電極

2に接続される。分散電極2はそれぞれキャパシタ膜3を介して共通電極4に対向する。プレート電位VPLは、プレート電位発生回路11から発生され、共通電極4に供給される。この結果、共通電極4はプレート電極として機能し、分散電極2はストレージ電極として機能する。

【0052】図3(A)はバリア層6が絶縁性を持つ場合のDRAMセルアレーの等価回路を示す等価回路図、図3(B)はバリア層6が導電性を持つ場合のDRAMセルアレーの等価回路を示す等価回路図である。

【0053】図3(A)に示すように、バリア層6が絶縁性を持つ場合、セルトランジスタCTのソースScは、プレート電位供給回路11に、互いに直列に接続された2つのキャパシタCc、Cpを介して接続される。プレート電位VPLは、キャパシタCpの上部導電体層7から、キャパシタCp、Ccで共通の下部導電体層5に、たとえば容量カップリングにより伝えられる。これにより、分散電極2/キャパシタ膜3/下部導電体層5とからなるキャパシタCcはセルキャパシタとして機能し、そのキャパシタ膜3にはデータに応じた電荷が蓄積される。

【0054】また、図3(B)に示すように、バリア層6が導電性を持つ場合、セルトランジスタCTのソースScは、プレート電位供給回路11に、互いに直列に接続された抵抗体Rp、およびキャパシタCcを介して接続される。プレート電位VPLは、上部導電体層7から、バリア層6からなる抵抗体Rpを介してキャパシタCcの下部導電体層5に伝えられる。これにより、バリア層6が絶縁性を持つ場合と同様に、分散電極2/キャパシタ膜3/下部導電体層5とからなるキャパシタはセルキャパシタとして機能し、そのキャパシタ膜3にはデータに応じた電荷が蓄積される。

【0055】図4は、第1の実施形態に係るキャパシタ構造体が用いられた1トランジスタ-1キャパシタ型のFRAMセルアレーを示す図である。

【0056】図4に示すように、FRAMセルアレーには、セルトランジスタCTがアレー状に配置されている。トランジスタCTのゲートはワード線WL(WL1、WL2)であり、そのソースはビット線BL(BL1~BL4)に接続されている。また、そのドレインは分散電極2に接続されている。

【0057】データの読み書きに駆動パルスを用いるFRAMの場合、共通電極4は、たとえばワード線WL毎に、共通電極4-1、4-2に分離される。分散電極2はキャパシタ膜3を介して共通電極4-1、4-2に対向する。共通電極4-1の上部導電体層7-1には駆動パルス線ドライバ(なお、駆動パルス線はプレート線とも呼ばれる)12から駆動パルスDP1が供給され、共通電極4-2の上部導電体層7-2には駆動パルス線ドライバ12から駆動パルスDP2が供給される。

【0058】図5(A)はバリア層6が絶縁性を持つ場合のFRAMセルアレーの等価回路を示す等価回路図、図5(B)はバリア層6が導電性を持つ場合のFRAMセルアレーの等価回路を示す等価回路図である。

【0059】図5(A)に示すように、バリア層6が絶縁性を持つ場合、セルトランジスタCTのソースScは、駆動パルス線ドライバ12に、互いに直列に接続された2つのキャパシタCc、Cpを介して接続される。駆動パルスDP1は、キャパシタCpの上部導電体層7-1から、キャパシタCp、Ccで共通の下部導電体層5に、たとえば容量カップリングにより伝えられる。これにより、分散電極2/キャパシタ膜3/下部導電体層5とからなるキャパシタCcはセルキャパシタとして機能し、そのキャパシタ膜3はデータに応じて分極する。

【0060】また、図5(B)に示すように、バリア層6が導電性を持つ場合、セルトランジスタCTのソースScは、駆動パルス線ドライバ12に、互いに直列に接続された抵抗体Rp、およびキャパシタCcを介して接続される。駆動パルスDP1は、上部導電体層7から、バリア層6からなる抵抗体Rpを介してキャパシタCcの下部導電体層5に伝えられる。これにより、バリア層6が絶縁性を持つ場合と同様に、分散電極2/キャパシタ膜3/下部導電体層5とからなるキャパシタはセルキャパシタとして機能し、そのキャパシタ膜3はデータに応じて分極する。

【0061】以上のようにキャパシタ構造体1のキャパシタ膜3は、DRAMや、FRAMにおいて、セルキャパシタの誘電体、即ちデータ保持用の誘電体として使うことができる。このため、キャパシタ膜3の材料には、高誘電体や、強誘電体が好ましく使用される。この発明において、特に好ましい高誘電体や、強誘電体の材料例を下記する。

【0062】(Ba,Sr)TiO<sub>3</sub>(一般にBSTO)、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、Pb(Zr,Ti)O<sub>3</sub>(一般にPZT)、Pb(Nb,Ti)O<sub>3</sub>、PbZrO<sub>3</sub>、PbTiO<sub>3</sub>、LiNbO<sub>3</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、SrBi<sub>2</sub>(Ta,Nb)<sub>2</sub>O<sub>9</sub>、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>13</sub>。

【0063】これら好ましい材料例はそれぞれ酸化物であり、総じて水素アニールに対する耐性が乏しい。

【0064】このため、この発明では、バリア層6に、還元性材料、あるいは水素を通し難い性質を持つ材料を使用する。このような性質を持つ材料の例を下記する。

【0065】Al、W、Cu、Ti、Co、Ta、Nb、Ru、Irからなる金属群の少なくとも一つを含む金属酸化物、シリコン窒化物。

【0066】上記材料例に挙げた材料を含む膜が、水素アニールによるダメージを抑制することの理由としては、たとえば次の理由が考えられる。

【0067】(1)金属酸化物の場合  
水素アニール時、キャパシタ膜3ばかりでなく、その金属酸化物も還元される。このため、キャパシタ膜3に到

達する水素の量が減り、キャパシタ膜3の還元性ダメージが緩和される。さらに金属酸化物が酸素を過剰に含んでいた場合、この過剰な酸素が還元に寄与する場合がある。

【0068】(2)シリコン窒化物の場合  
膜が緻密であるために水素を通し難い。このため、金属酸化物の場合と同様に、キャパシタ膜3に到達する水素の量が減り、キャパシタ膜3の還元性ダメージが緩和される。

【0069】このように第1の実施形態に係るキャパシタ構造体1によれば、共通電極4が、少なくとも下部導電体層5/バリア層6/上部導電体層7の三層構造を含む。この三層構造のうち、バリア層6に、還元性材料、あるいは水素を通し難い性質を持つ材料を用いれば、水素アニールを施した場合でも、キャパシタ膜3の膜質の劣化を抑制することが可能になる。

【0070】また、下部導電体層5の好ましい材料例は、Pt、Ru、Re、Os、Rh、Ir、Fe、Mn、Cr、Co、Ni、Tiからなる金属群の少なくとも一つ、または上記金属群の少なくとも一つを含む金属酸化物、または上記金属群の少なくとも一つとアルカリ土類金属元素の少なくとも一つとの合金、または上記金属群の少なくとも一つとアルカリ土類金属元素の少なくとも一つとの合金の酸化物、または上記金属群の少なくとも一つと希土類金属元素の少なくとも一つとの合金、または上記金属群の少なくとも一つと希土類金属元素の少なくとも一つとの合金の酸化物のいずれかである。

【0071】また、上部導電体層7の好ましい材料例は、Al、W、Cu、Ti、Co、Ta、Nbからなる金属群の少なくとも一つ、または上記金属群の少なくとも一つを含む化合物、または上記金属群の少なくとも一つを含む合金、または上記金属群の少なくとも一つを含む合金の化合物いずれかである。

【0072】以下、この発明に係るキャパシタ構造体1を、半導体メモリ、特にスタック型DRAMに対して適用した具体例のいくつかを、他の実施形態として順次説明する。

【0073】[第2の実施形態] 図6(A)はこの発明の第2の実施形態に係るDRAMセルアレーの一面パターン例を示す平面図、図6(B)はこの発明の第2の実施形態に係るDRAMセルアレーおよびDRAM周辺回路の断面を示す断面図である。なお、図6(B)に示すDRAMセルアレーの断面は、図6(A)中の6B-6B線に沿ったものであり、ストレージ電極が現れる部分を示している。また、図6(B)に示すDRAM周辺回路の断面は、周辺回路のうちプレート電極端が現れる部分を示している。

【0074】以下、図6(A)、(B)に示すDRAMを、その製造方法とともに説明する。

【0075】図7～図15は、この発明の第2の実施形

態に係るDRAMを、主要な製造工程毎に示した断面図である。

【0076】まず、図7に示す構造を、周知の方法を用いて形成する。一例を挙げれば、図7に示すように、シリコン基板40内に、素子分離領域41を形成し、シリコン基板40に、能動素子を形成するための素子領域42を画定する。次いで、シリコン基板40上に、ゲート電極43を形成した後、素子領域42内に、ソース/ドレイン領域44を形成する。これにより、図6に示すセルアレーの部分にはセルトランジスタCTが形成され、また、周辺回路の部分には周辺トランジスタPTが形成される。セルトランジスタCTのゲート電極43はワード線WLである。ゲート電極43は、導電性ポリシリコンと、高融点金属シリサイドとの積層膜からなる。次いで、第1層層間絶縁膜45-1を形成した後、この第1層層間絶縁膜45-1に対し、ソース/ドレイン領域44の一方に通じるコンタクト孔46-1、および内部配線孔46-2を形成する。次いで、これら孔46-1、46-2内に、内部配線層47を形成する。内部配線層47は、たとえば窒化チタン(TiN)と、チタン(Ti)との積層膜により形成される。また、図6の左側に示される内部配線層47は特にビット線BLであり、図6の右側に示される内部配線層47は周辺回路の配線のうち、ビット線BLと同一の層が用いられた配線を示している。次いで、第2層層間絶縁膜45-2を形成する。次いで、第1層層間絶縁膜45-1、第2層層間絶縁膜45-2に対し、ソース/ドレイン領域44の他方に通じるコンタクト孔48を形成する。次いで、コンタクト孔48内に、コンタクトプラグ49を形成する。

【0077】次に、図8に示すように、コンタクトプラグ49が露出した第2層層間絶縁膜45-2上に、第3層層間絶縁膜45-3を形成する。次いで、第3層層間絶縁膜45-3に対し、リソグラフィ法およびRIE法を用いて、セルキャパシタを形成するための開孔部50を形成する。

【0078】次に、図9に示すように、開孔部50が形成された第3層層間絶縁膜45-3上に、SrRuO<sub>3</sub>(以下SRO)等の導電体を堆積し、SRO膜を形成する。次いで、SRO膜のうち、開孔部50内以外の部分を、たとえばCMP法を用いて除去する。これにより、開孔部50内に、SRO膜からなるストレージ電極2が形成される。ストレージ電極2は、コンタクトプラグ49を介してセルトランジスタのソース/ドレイン44の他方に接続される。

【0079】次に、図10に示すように、ストレージ電極2、および第3層層間絶縁膜45-3上に、BSTO等の高誘電体、あるいは強誘電体を堆積し、キャパシタ膜3を形成する。次いで、キャパシタ膜3上に、SRO等の導電体を堆積し、下部導電体層5を形成する。

【0080】次に、図11に示すように、下部導電体層

5上に、アルミナ ( $\text{Al}_2\text{O}_3$ ) 等を堆積し、バリア層6を形成する。このとき、バリア層6が絶縁性を持つ場合には、その厚さは、1 nm～50 nm程度が望ましい。特にバリア層6がアルミナである場合には、5 nm程度が望ましい。5 nm程度の薄いアルミナ膜を形成するためには、たとえば酸素を含む雰囲気中で、アルミニウムをスパッタリングすれば良い。

【0081】次に、図12に示すように、バリア層6上に、アルミニウム等の導電体を、スパッタリング法を用いて堆積し、上部導電体層7を形成する。

【0082】次に、図13に示すように、上部導電体層7、バリア層6、および下部導電体層5をリソグラフィー法およびRIE法を用いて、一括してエッチングし、プレート電極4を形成する。これにより、下部導電体層5、バリア層6、上部導電体層7の三層構造を含むプレート電極4が形成される。

【0083】次に、図14に示すように、プレート電極4が形成された第3層層間絶縁膜45-3上に、第4層層間絶縁膜45-4を形成する。次いで、第4層層間絶縁膜45-4に対し、リソグラフィー法およびRIE法を用いて、上部導電体層7に通じるコンタクト孔51、および内部配線層47に通じるコンタクト孔52をそれぞれ形成する。

【0084】次に、図15に示すように、コンタクト孔51、52が形成された第4層層間絶縁膜45-4上に、窒化チタン ( $\text{TiN}$ )、チタン ( $\text{Ti}$ ) を順次堆積し、 $\text{TiN}/\text{Ti}$ の積層膜を形成する。次いで、積層膜のうち、コンタクト孔51、52内以外の部分を除去する。これにより、コンタクト孔51、および52内にそれぞれ、 $\text{TiN}/\text{Ti}$ の積層膜からなるコンタクトプラグ53、54が形成される。

【0085】次に、図6(B)に示すように、コンタクトプラグ53、54が形成された第4層層間絶縁膜45-4上に、窒化チタン ( $\text{TiN}$ )、チタン ( $\text{Ti}$ ) を順次堆積し、 $\text{TiN}/\text{Ti}$ の積層膜を形成する。次いで、積層膜を、リソグラフィー法およびRIE法を用いてエッチングし、内部配線層55、56を形成する。

【0086】この後、特に図示しないが、内部配線層を、さらに多層に形成し、最後に窒化シリコン、あるいは二酸化シリコンからなるパッシベーション膜を形成する。この後、水素アニールを施し、セルトランジスタC Tの特性、および周辺トランジスタP Tの特性等をそれぞれ整えることで、第2の実施形態に係るDRAMが完成する。

【0087】このような第2の実施形態に係るDRAMによれば、プレート電極4が、下部層導電体層5 (SRO)、バリア層6 ( $\text{Al}_2\text{O}_3$ )、および上部導電体層7 (Al) の三層構造からなる。このため、多層配線工程後、水素アニールを施した場合でも、バリア層6 ( $\text{Al}_2\text{O}_3$ ) が、キャパシタ膜3 (BSTO) を還元性ダメージから

保護する。よって、キャパシタ膜3の膜質の劣化が抑制され、たとえばリーク電流増加等、キャパシタ特性の劣化を防ぐことができる。

【0088】なお、第2の実施形態では、バリア層6の成膜方法として、スパッタリング法を用いている。

【0089】たとえば0.15  $\mu\text{m}$ ルール世代では、キャパシタが形成される開孔部50の最小幅は、約0.15  $\mu\text{m}$ となる。このような開孔部50に、ストレージ電極2、キャパシタ膜3、および下部導電体層5を、たとえば0.02  $\mu\text{m}$ 、0.02  $\mu\text{m}$ 、0.04  $\mu\text{m}$ 程度にそれぞれ堆積すれば、開孔部50は、ほとんど埋め込まれた状態になり、特に下部導電体層5の上面は、ほぼ平坦となる。

【0090】このようにストレージ電極2、キャパシタ膜3、および下部導電体層5のトータルの膜厚を、開孔部50の最小幅の2倍以上とすれば、下部導電体層5の上面を平坦にできる。下部導電体層5の上面が平坦である構造によれば、バリア層6の成膜に、特に段差被覆性に優れた方法を使用する必要がなくなり、たとえばスパッタリング法を好適に使用することが可能な構造を得ることができる。

【0091】もちろん、バリア層6の成膜には、スパッタリング法その他、CVD法やスピコート法等、より段差被覆性に優れた方法が使用されても良い。

【0092】また、第2の実施形態では、下部導電体層5に、一般に抵抗率の高い導電性酸化物、たとえばSROを用いている。この場合、上部導電体層7には、下部導電体層5よりも抵抗率の低い導電体、たとえばアルミニウムを用いるのが望ましい。このようにすることで、広い面積を持つセルアレー全体に対して、より有効にプレート電位VPLを与えることができる。

【0093】また、第2の実施形態では、プレート電位VPLは、上部導電体層7に供給され、バリア層6は、絶縁性を持つ物質、たとえばアルミナである。この場合の等価回路は、図3(A)に示したものとなる。図3(A)に示す構成では、プレート電位VPLの供給端と、セルキャパシタとの間に、キャパシタが直列に接続され、実効的なセル容量が減少してしまう。

【0094】しかし、通常のDRAMにおいては、プレート電極4は、多数のセル (典型的には256 kビット) に跨って共通に用いられており、非常に大きなパターンとなっている。具体的な例を挙げると、たとえば0.15  $\mu\text{m}$ ルール世代では、プレート電極4の面積は、約48,000  $\mu\text{m}^2$ となる。この場合、バリア層6に、膜厚5 nmのアルミナを用いた場合、その容量は、 $7 \times 10^5 \text{ fF}$ 程度となる。一方、セルキャパシタ1ビット当たりの容量は、通常30 fF程度である。このため、直列に $7 \times 10^5 \text{ fF}$ 程度のキャパシタが接続されても、セルキャパシタ1ビット当たりの容量の減少は、0.01%以下と十分に無視できるものとなる。

【0095】また、第2の実施形態では、上部導電体層7にアルミニウムを使用しており、また、コンタクトプラグ53には、TiN/Tiの積層膜を使用している。このようなアルミニウムとTiNとの組み合わせでは、コンタクトプラグ53の底部で良好なオーミック接続が容易に実現される。

【0096】なお、バリア層6は導電性とすることも可能である。この場合の等価回路は、図3(B)に示したものとなる。バリア層6を導電性とするための一例は、たとえばアルミナの酸素量を化学量論比よりも減少させ、 $Al_2O_{3-d}$  ( $d>0$ ) とすれば良い。バリア層6に導電性を持たせた場合には、バリア層6の抵抗率が高くても、即ちわずかな導電性を有するだけでも、上部導電体層7と下部導電体層5との間の抵抗は十分に低いものになる。上述したように、プレート電極4の面積が、非常に大きいからである。このように、バリア層6に導電性を持たせた場合には、セル容量の減少を抑制することができる。

【0097】次に、第2の実施形態の変形例を説明する。

【0098】図16は、この発明の第2の実施形態の変形例に係るDRAMを示す断面図である。

【0099】図16に示すように、コンタクト孔51を、上部導電体層7、バリア層6をそれぞれ貫通して形成し、コンタクトプラグ53を、下部導電体層5に直接に接触させることも可能である。

【0100】このような変形例によれば、コンタクトプラグ53が下部導電体層5に直接に接触するので、バリア層6に導電性を持たせた場合と同様に、セル容量の減少を抑制できる利点がある。

【0101】〔第3の実施形態〕図17はこの発明の第3の実施形態に係るDRAMセルアレーおよびDRAM周辺回路の断面を示す断面図である。

【0102】以下、図17に示す第3の実施形態に係るDRAMを、その製造方法とともに説明する。

【0103】図18～図25は、この発明の第3の実施形態に係るDRAMを、主要な製造工程毎に示した断面図である。

【0104】まず、図18に示すように、たとえば図7を参照して説明した製法を用いて、シリコン基板40上に素子分離領域41、セルトランジスタCT、周辺トランジスタPT、セルトランジスタCTのドレインをビット線に接続するためのビット線コンタクト（図示せず）、ビット線47、セルトランジスタCTのソースをストレージ電極に接続するためのコンタクトプラグ49をそれぞれ形成する。

【0105】次に、図19に示すように、コンタクトプラグ49が露出した第2層層間絶縁膜45-2上に、第3層層間絶縁膜45-3を形成する。次いで、第3層層間絶縁膜45-3に対し、リソグラフィ法およびRIE法を

用いて、セルキャパシタを形成するための開孔部50を形成する。

【0106】次に、図20に示すように、開孔部50が形成された第3層層間絶縁膜45-3上に、SRO等の導電体を堆積し、SRO膜を形成する。次いで、SRO膜のうち、開孔部50内以外の部分を、たとえばCMP法を用いて除去する。これにより、開孔部50内に、SRO膜からなるストレージ電極2が形成される。

【0107】次に、図21に示すように、ストレージ電極2が形成された第3層層間絶縁膜45-3上に、BSTO等の高誘電体、あるいは強誘電体を堆積し、キャパシタ膜3を形成する。次いで、キャパシタ膜3上に、SRO等の導電体を堆積し、下部導電体層5を形成する。

【0108】次に、図22に示すように、下部導電体層5上に、たとえばCVD法を用いてアルミニウム等の導電体を堆積し、上部導電体層7を形成する。この堆積中、アルミニウムは、酸化物であるSRO（下部導電体層）5と反応し、下部導電体層5と上部導電体層7との界面に、アルミナ ( $Al_2O_3$ ) 等のバリア層6が形成される。

【0109】次に、図23に示すように、上部導電体層7、バリア層6、および下部導電体層5をリソグラフィ法およびRIE法を用いて、一括してエッチングし、プレート電極4を形成する。これにより、下部導電体層5、バリア層6、上部導電体層7の三層構造を含むプレート電極4が形成される。

【0110】次に、図24に示すように、プレート電極4が形成された第3層層間絶縁膜45-3上に、第4層層間絶縁膜45-4を形成する。次いで、第4層層間絶縁膜45-4に対し、リソグラフィ法およびRIE法を用いて、上部導電体層7に通じるコンタクト孔51、および内部配線層(BL)47に通じるコンタクト孔52をそれぞれ形成する。

【0111】次に、図25に示すように、コンタクト孔51、52が形成された第4層層間絶縁膜45-4上に、窒化チタン(TiN)、チタン(Ti)を順次堆積し、TiN/Tiの積層膜を形成する。次いで、積層膜のうち、コンタクト孔51、52内以外の部分を除去する。これにより、コンタクト孔51、および52内にそれぞれ、TiN/Tiの積層膜からなるコンタクトプラグ53、54が形成される。

【0112】次に、図17に示すように、コンタクトプラグ53、54が形成された第4層層間絶縁膜45-4上に、窒化チタン(TiN)、チタン(Ti)を順次堆積し、TiN/Tiの積層膜を形成する。次いで、積層膜を、リソグラフィ法およびRIE法を用いてエッチングし、内部配線層55、56を形成する。

【0113】この後、特に図示しないが、内部配線層を、さらに多層に形成し、最後に窒化シリコン、あるいは二酸化シリコンからなるパッシベーション膜を形成す

る。この後、水素アニールを施し、セルトランジスタCTの特性、および周辺トランジスタPTの特性等をそれぞれ整えることで、第3の実施形態に係るDRAMが完成する。

【0114】このような第3の実施形態に係るDRAMにおいても、第2の実施形態に係るDRAMと同様の効果を得ることができる。

【0115】また、その製造方法によれば、バリア層6を、下部導電体層5と上部導電体層7との間の反応により形成する。このため、バリア層6を形成するための膜堆積工程を削減でき、製造コストの上昇を抑制できる。

【0116】また、その製造方法は、下記のように変形することができる。

【0117】たとえばSRO等の下部導電体層5上に、アルミニウム等の導電体を堆積し、上部導電体層7を形成する。この後、熱処理し、SROとアルミニウムとの界面を反応させ、アルミナ( $Al_2O_3$ )等のバリア層7を形成する。

【0118】このような製造方法においても、バリア層6を形成するための膜堆積工程を削減でき、製造コストの上昇を抑制できる。

【0119】また、別の変形例としては、たとえばSRO等の下部導電体層5上に、アルミニウム等の導電体を堆積し、上部導電体層7を形成する。次いで、上部導電体層7、および下部導電体層5をリソグラフィ法およびRIE法を用いて、一括してエッチングし、下部導電体層5、および上部導電体層7の二層構造を含むプレート電極4を、まず形成する。この後、熱処理し、SROとアルミニウムとの界面を反応させ、アルミナ( $Al_2O_3$ )等のバリア層6を形成し、プレート電極4を、下部導電体層5、バリア層6、および上部導電体層7の三層構造にする。

【0120】このような製造方法によれば、バリア層6を形成するための膜堆積工程を削減でき、製造コストの上昇を抑制できる。これと同時に、プレート電極4パターンを形成するためのエッチング時、バリア層6のエッチングが不要になり、エッチングの容易化を図ることができる。

【0121】〔第4の実施形態〕図26はこの発明の第4の実施形態に係るDRAMセルアレイおよびDRAM周辺回路の断面を示す断面図である。

【0122】以下、図26に示す第4の実施形態に係るDRAMを、その製造方法とともに説明する。

【0123】図27～図38は、この発明の第3の実施形態に係るDRAMを、主要な製造工程毎に示した断面図である。

【0124】まず、図27に示すように、たとえば図7を参照して説明した製法を用いて、シリコン基板40上に素子分離領域41、セルトランジスタCT、周辺トランジスタPT、セルトランジスタCTのドレインをビッ

ト線に接続するためのビット線コンタクト（図示せず）、ビット線47をそれぞれ形成する。この後、ビット線47が形成された第1の層間絶縁膜45-1上に、第2層層間絶縁膜45-2を形成する。

【0125】次に、図28に示すように、第2層層間絶縁膜45-2上に、アルミナ等を堆積し、バリア膜61を形成する。次いで、バリア膜61および第2層層間絶縁膜45-2、第1層層間絶縁膜45-1に対し、リソグラフィ法およびRIE法を用いて、セルトランジスタCTのソースに達するコンタクト孔48を形成する。次いで、コンタクト孔48内に、コンタクトプラグ49を形成する。

【0126】次に、図29に示すように、コンタクトプラグ49が露出した第2層層間絶縁膜45-2上に、第3層層間絶縁膜45-3を形成する。次いで、第3層層間絶縁膜45-3上に、アルミナ等を堆積し、バリア膜62を形成する。次いで、バリア膜62および第3層層間絶縁膜に対し、リソグラフィ法およびRIE法を用いて、セルキャパシタを形成するための開孔部50を形成する。

【0127】次に、図30に示すように、開孔部50が形成された第3層層間絶縁膜45-3上に、アルミナ等を堆積し、バリア膜63を形成する。次いで、バリア膜63を、RIE法を用いてエッチングし、バリア膜63を開孔部50の側壁に残す。

【0128】次に、図31に示すように、バリア膜63およびバリア膜62上に、SRO等の導電体を堆積し、SRO膜を形成する。次いで、SRO膜のうち、開孔部50内以外の部分を、たとえばCMP法を用いて除去する。これにより、開孔部50内に、SRO膜からなるストレージ電極2が形成される。

【0129】次に、図32に示すように、ストレージ電極2およびバリア膜62上に、BSTO等の高誘電体、あるいは強誘電体を堆積し、キャパシタ膜3を形成する。キャパシタ膜3上に、SRO等の導電体を堆積し、下部導電体層5を形成する。

【0130】次に、図33に示すように、下部導電体層5上に、アルミナを薄く堆積し、バリア層6を形成する。このとき、バリア層6を構成するアルミナの膜厚は5nm程度、成膜方法としては、たとえば酸素を含む雰囲気中でのスパッタリング法である。

【0131】次に、図34に示すように、バリア層7上に、スパッタリング法を用いて、アルミニウム等の導電体を堆積し、上部導電体層7を形成する。

【0132】次に、図35に示すように、上部導電体層7、バリア層6、および下部導電体層5をリソグラフィ法およびRIE法を用いて、一括してエッチングし、プレート電極4を形成する。

【0133】次に、図36に示すように、プレート電極4が形成された第3層層間絶縁膜45-3上に、アルミナ

を堆積し、バリア膜64を形成する。次いで、バリア膜64をRIE法を用いてエッチングし、バリア膜64をプレート電極4の側壁に残す。これにより、ストレージ電極2、キャパシタ膜3、プレート電極4からなるキャパシタ構造体は、たとえばプラグ49の上部を除いて、バリア膜61、62、63、64、およびバリア層6により覆われる。

【0134】次に、図37に示すように、プレート電極4およびバリア膜65が形成された第3層層間絶縁膜45-3上に、第4層層間絶縁膜45-4を形成する。次いで、第4層層間絶縁膜45-4に対し、リソグラフィ法およびRIE法を用いて、上部導電体層7に通じるコンタクト孔51、および内部配線層(BL)47に通じるコンタクト孔52をそれぞれ形成する。

【0135】次に、図38に示すように、コンタクト孔51、52が形成された第4層層間絶縁膜45-4上に、窒化チタン(TiN)、チタン(Ti)を順次堆積し、TiN/Tiの積層膜を形成する。次いで、積層膜のうち、コンタクト孔51、52内以外の部分を除去する。これにより、コンタクト孔51、および52内にそれぞれ、TiN/Tiの積層膜からなるコンタクトプラグ53、54が形成される。

【0136】次に、図26に示すように、コンタクトプラグ53、54が形成された第4層層間絶縁膜45-4上に、窒化チタン(TiN)、チタン(Ti)を順次堆積し、TiN/Tiの積層膜を形成する。次いで、積層膜を、リソグラフィ法およびRIE法を用いてエッチングし、内部配線層55、56を形成する。

【0137】この後、特に図示しないが、内部配線層を、さらに多層に形成し、最後に窒化シリコン、あるいは二酸化シリコンからなるパッシベーション膜を形成する。この後、水素アニールを施し、セルトランジスタCの特性、および周辺トランジスタPTの特性等をそれぞれ整えることで、第4の実施形態に係るDRAMが完成する。

【0138】このような第4の実施形態に係るDRAMによれば、キャパシタ構造体を実質的にバリア膜61~64( $Al_2O_3$ )、およびバリア層6( $Al_2O_3$ )により覆われる。このため、第2、第3の実施形態と同様に、多層配線工程後、水素アニールを施した場合でも、バリア膜61~64( $Al_2O_3$ )が、キャパシタ膜3(BSTO)を還元性ダメージから保護する。よって、キャパシタ膜3の膜質の劣化が抑制され、たとえばリーク電流増加等、キャパシタ特性の劣化を防ぐことができる。

【0139】さらに、キャパシタ構造体の少なくとも一部を覆うバリア膜61~64( $Al_2O_3$ )を、下部導電体層5(SRO)、バリア層6( $Al_2O_3$ )、および上部導電体層7(Al)の三層構造を含むプレート電極4と組み合わせることで、上記効果は、さらに高まる。キャパシタ膜3の周囲がほぼ全て、バリア層6、バリア膜61~

64により囲まれるためである。

【0140】以上、この発明を、第1~第4の実施形態を参照して説明したが、この発明は、第1~第4の実施形態に限られるものではなく、その主旨を逸脱しない範囲で変形することができる。

【0141】たとえば第2~第4の実施形態では、図39(A)に示すように、スタック型キャパシタを、ストレージ電極2を開孔部50に沿って凹状に形成し、この凹状表面をプレート電極4と対向させる“内堀り型”とした。

【0142】しかし、スタック型キャパシタは、図39(B)に示すように、ストレージ電極2を凸状に形成し、この凸状表面をプレート電極4と対向させる“外堀り型”としても良い。あるいは図39(C)に示すような“クラウン型”としても良い。クラウン型は、たとえばストレージ電極2を開孔部50に沿って凹状に形成した後、第4層層間絶縁膜45-4を、その表面から一部、あるいは全てを除去することで形成される。

【0143】また、この発明は、スタック型キャパシタに限られるものではなく、“プレーナ型キャパシタ”にも適用することができる。この発明を適用した“プレーナ型キャパシタ”の一例は、図39(D)に示すように、ストレージ電極を、シリコン基板40内に形成されたTi層71、TiN層72、およびSRO層73により形成する。SRO層73上にはキャパシタ膜3(BSTO)が形成され、キャパシタ膜3上には下部導電体層5(SRO)、バリア層6( $Al_2O_3$ )、および上部導電体層7(Al)からなるプレート電極4が形成される。

【0144】また、この発明に係るキャパシタ構造体は、1トランジスタ-1キャパシタ型のDRAMやFRAMに限らず、図39(E)に示すような、EEPROM等に使用されるスタックゲート構造のメモリセルにも応用することができる。

【0145】図39(E)に示すように、スタックゲート構造のメモリセルは、シリコン基板40上に形成されたゲート絶縁膜81、ゲート絶縁膜81上に形成された浮遊ゲート82、浮遊ゲート82に、キャパシタ膜83を介して容量結合する制御ゲート84からなる。

【0146】スタックゲート構造のメモリセルを、たとえばEEPROMに用いた場合には、浮遊ゲート82と制御ゲート84との間の容量を、浮遊ゲート82とシリコン基板40との間の容量よりも大きくしたい要求がある。浮遊ゲート82への電荷の注入効率を向上させるためである。したがって、キャパシタ膜83の材料には、シリコン酸化膜や、シリコン窒化膜よりも誘電率が高い、高誘電体や、強誘電体を用いられることが十分に想定される。たとえば第1の実施形態において説明したような(Ba,Sr)TiO<sub>3</sub>(一般にBSTO)、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、Pb(Zr,Ti)O<sub>3</sub>(一般にPZT)、Pb(Nb,Ti)O<sub>3</sub>、PbZrO<sub>3</sub>、PbTiO<sub>3</sub>、LiNbO<sub>3</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、SrBi<sub>2</sub>(Ta,N

b) $\text{PbO}_2$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{13}$ である。

【0147】上記高誘電体や、強誘電体をキャパシタ膜83に用いた場合、その膜質の劣化は、たとえばリーク電流の増加等を招き、電荷保持特性の悪化につながるために極力抑制したい。

【0148】そこで、ゲート絶縁膜81を、上記バリア層6と同様な材料、即ちAl、W、Cu、Ti、Co、Ta、Nb、Ru、Irからなる金属群の少なくとも一つを含む金属酸化物により構成する。

【0149】このような構成を有するスタックゲート構造のメモリセルによれば、水素アニールを施した場合に、ゲート絶縁膜81がキャパシタ膜83を還元性ダメージから保護する。よって、キャパシタ膜83の膜質の劣化が抑制され、たとえばリーク電流増加等、電荷保持特性の劣化を防ぐことができる。

【0150】また、バリア層6が絶縁性を有する場合、次のような効果をさらに得ることができる。

【0151】たとえば256MビットのDRAMの場合、図40(A)に示すように、セルアレイが256kビット程度の規模ごとにまとめられている。即ちプレート電極は256kビットごとに分割されている。

【0152】図40(A)に示す状態では、あるセルアレイ、たとえばセルアレイAがアクセス（読み出し／書き込み）されたとき、セルアレイA内のプレート電極の電位が微妙に振動する。この微妙な振動はノイズとなり、プレート電極にプレート電位を供給する配線に伝わる。配線に伝わったノイズは、セルアレイA内のプレート電極に配線を介して直接的に接続されている他のプレート電極、即ちセルアレイB内のプレート電極、セルアレイC内のプレート電極、…に伝わる。この結果、アクセスされていないセルアレイB、C、つまり休止しているセルアレイB、C内のプレート電極の電位が振動する。プレート電極の電位の振動は、セルのデータ保持特性に悪い影響を及ぼす可能性がある。

【0153】これに対し、バリア層6を持ち、かつバリア層6が絶縁性を有する場合には、図40(B)に示すように、プレート電位を供給する配線とプレート電極との間に、容量が直列に挟まれることになる。直列に挟まれた容量は、アクセスされているセルアレイ、たとえばセルアレイA内のプレート電極の電位の振動を吸収する。この結果、セルアレイA内のプレート電極の電位の振動はプレート電位を供給する配線に伝わり難くなり、アクセスされていないセルアレイB内のプレート電極、セルアレイC内のプレート電極、…の電位の振動を抑制することができる。よって、アクセスされていないセルアレイ中のセルのデータ保持特性の悪化を抑制することができる。

【0154】さらにアクセス時にメモリセルが発生するノイズ以外に対しても耐性がある。たとえばプレート電位を供給する配線に対してノイズが印加された場合で

も、このノイズは、直列に挟まれた容量によって吸収することが可能となる。よって、同様にプレート電極の電位の振動は抑制され、セルのデータ保持特性の悪化を抑制することができる。

【0155】このようにプレート電極が各セルアレイ毎に分割されている場合、プレート電位を供給する配線とプレート電極との間に容量を直列に挟むことで、アクセス時にメモリセルが発生するノイズ、あるいはプレート電位を供給する配線に印加されたノイズに起因したデータ保持特性の悪化を抑制することができる。

【0156】また、プレート電極が一枚のみの場合には、プレート電位発生回路11とプレート電極との間に容量を直列に挟めば良い。この場合、特にプレート電位を供給する配線にノイズが印加された際、このノイズに起因したデータ保持特性の悪化を抑制することができる。

【0157】

【発明の効果】以上説明したように、この発明によれば、還元剤を含む雰囲気中でアニールを施した場合でも、キャパシタ膜を構成する誘電体の劣化を抑制することが可能な構造を持つ半導体装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施形態に係るキャパシタ構造体を示す図。

【図2】図2はこの発明の第1の実施形態に係るキャパシタ構造体を用いたDRAMセルアレイを示す図。

【図3】図3(A)はバリア層が絶縁性を持つ場合のDRAMセルアレイの等価回路図、図3(B)はバリア層が導電性を持つ場合のDRAMセルアレイの等価回路図。

【図4】図4はこの発明の第1の実施形態に係るキャパシタ構造体を用いたFRAMセルアレイを示す図。

【図5】図5(A)はバリア層が絶縁性を持つ場合のFRAMセルアレイの等価回路図、図5(B)はバリア層が導電性を持つ場合のFRAMセルアレイの等価回路図。

【図6】図6(A)はこの発明の第2の実施形態に係るDRAMセルアレイの平面図、図6(B)はこの発明の第2の実施形態に係るDRAMを示す断面図。

【図7】図7はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図8】図8はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図9】図9はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図10】図10はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図11】図11はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図12】図12はこの発明の第2の実施形態に係るDR

AMの一製造工程を示す断面図。

【図13】図13はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図14】図14はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図15】図15はこの発明の第2の実施形態に係るDRAMの一製造工程を示す断面図。

【図16】図15はこの発明の第2の実施形態の変形例に係るDRAMを示す断面図。

【図17】図17はこの発明の第3の実施形態に係るDRAMを示す断面図。

【図18】図18はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図19】図19はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図20】図20はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図21】図21はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図22】図22はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図23】図23はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図24】図24はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図25】図25はこの発明の第3の実施形態に係るDRAMの一製造工程を示す断面図。

【図26】図26はこの発明の第4の実施形態に係るDRAMを示す断面図。

【図27】図27はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図28】図28はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図29】図29はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図30】図30はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図31】図31はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図32】図32はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図33】図33はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図34】図34はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図35】図35はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図36】図36はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

AMの一製造工程を示す断面図。

【図37】図37はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

【図38】図38はこの発明の第4の実施形態に係るDRAMの一製造工程を示す断面図。

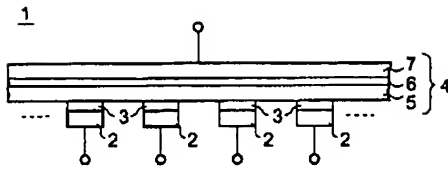
【図39】図39(A)は内掘り型スタックキャパシタの断面図、図39(B)は外掘り型スタックキャパシタの断面図、図39(C)はクラウン型スタックキャパシタの断面図、図39(D)はプレーナ型キャパシタの断面図、図39(E)はスタックゲート構造の断面図。

【図40】図40(A)、図40(B)はそれぞれプレート電位発生回路とプレート電極との接続を示す回路図。

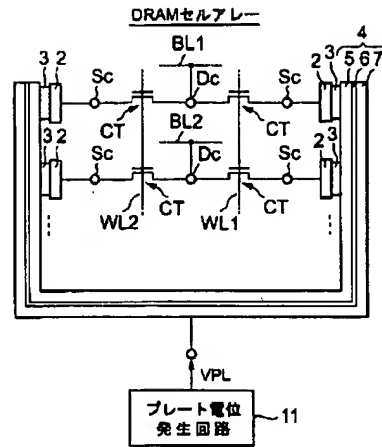
【符号の説明】

- 1…キャパシタ構造体、
- 2…分散電極（ストレージ電極）、
- 3…キャパシタ膜、
- 4…共通電極（プレート電極）、
- 5…下部導電体層、
- 6…バリア層、
- 7…上部導電体層、
- 11…プレート電位発生回路、
- 12…駆動パルス線ドライバ、
- 40…シリコン基板、
- 41…素子分離領域、
- 42…素子領域、
- 43…ゲート電極、
- 44…ソース／ドレイン領域、
- 45…層間絶縁膜、
- 46-1…コンタクト孔、
- 46-2…配線孔、
- 47…内部配線層、
- 48…コンタクト孔、
- 49…コンタクトプラグ、
- 50…開孔部、
- 51…コンタクト孔、
- 52…コンタクト孔、
- 53…コンタクトプラグ、
- 54…コンタクトプラグ、
- 55…内部配線層、
- 56…内部配線層、
- 61～64…バリア膜、
- 71…Ti層、
- 72…TiN層、
- 73…SRO層、
- 81…ゲート絶縁膜、
- 82…浮遊ゲート、
- 83…キャパシタ膜、
- 84…制御ゲート。

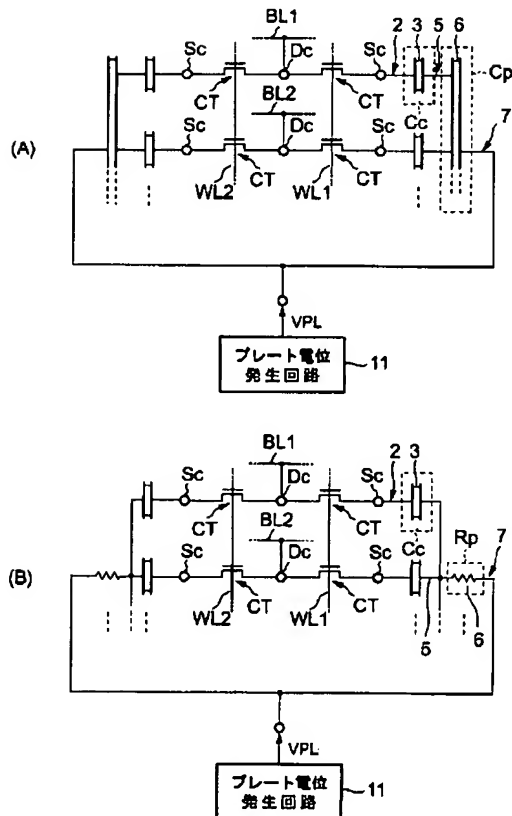
【図 1】



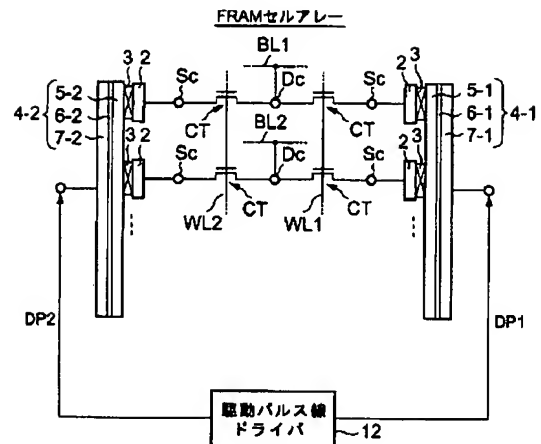
【図 2】



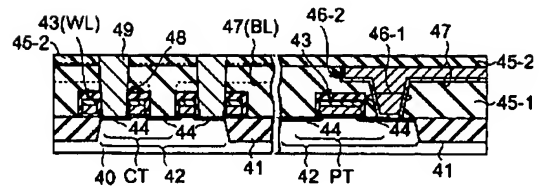
【図 3】



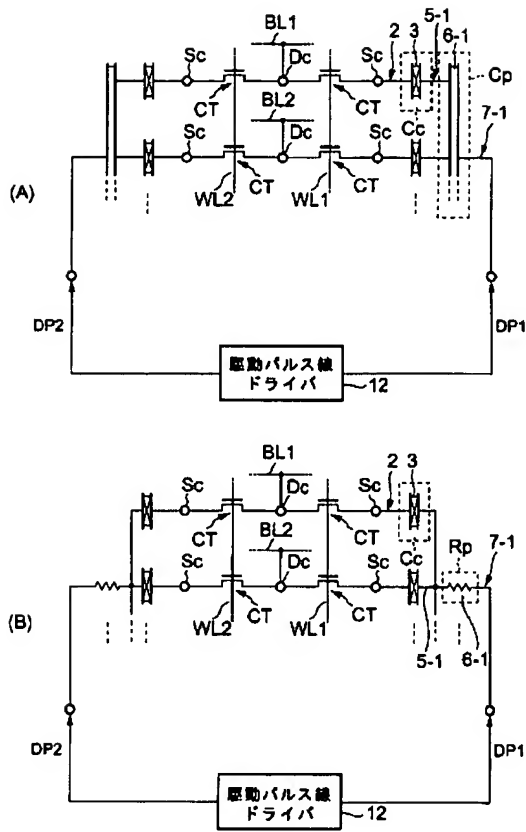
【図 4】



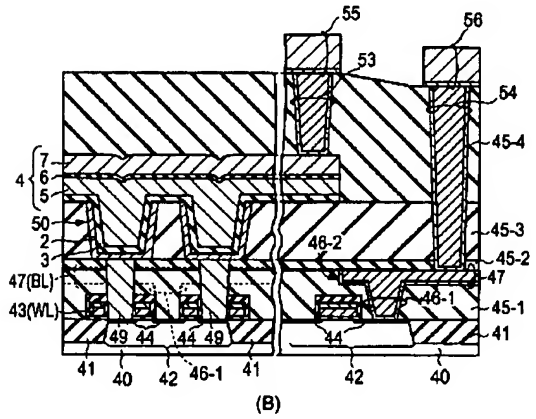
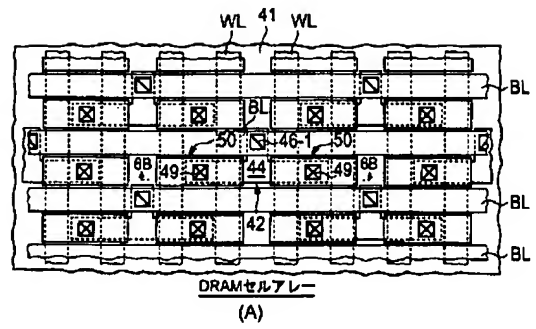
【図 7】



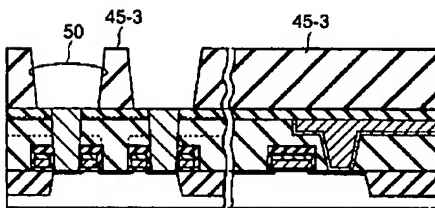
【図5】



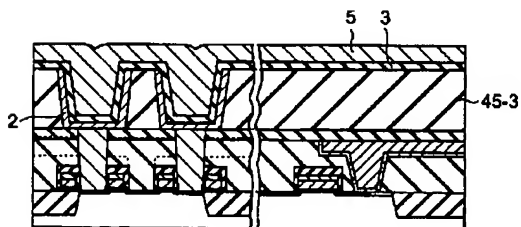
【図6】



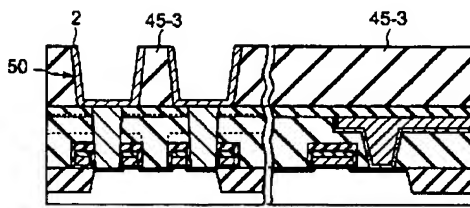
【図8】



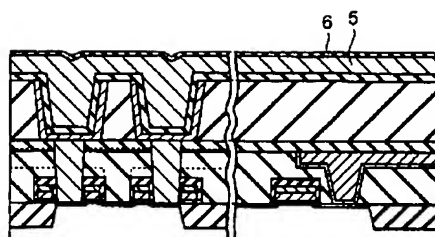
【図10】



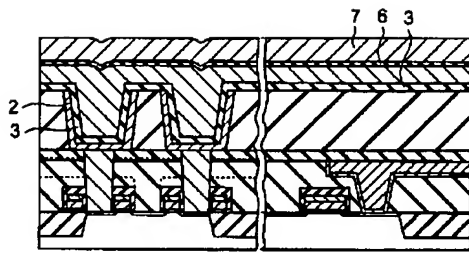
【図9】



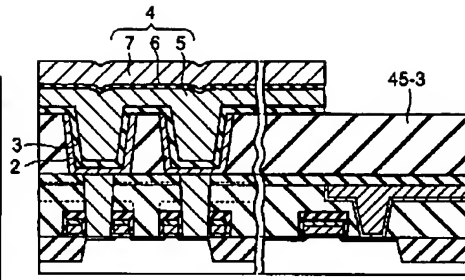
【図11】



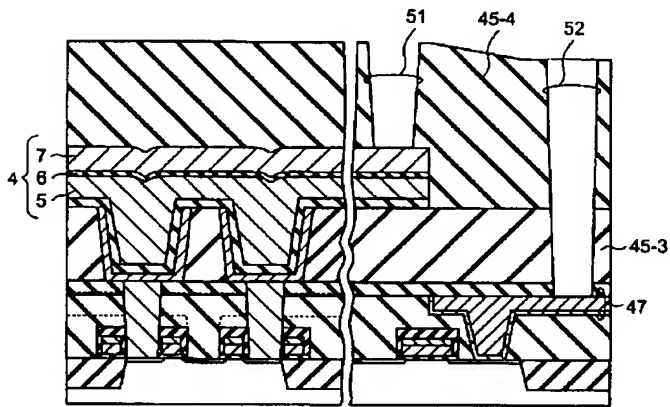
【図12】



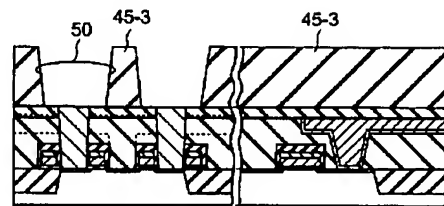
【図13】



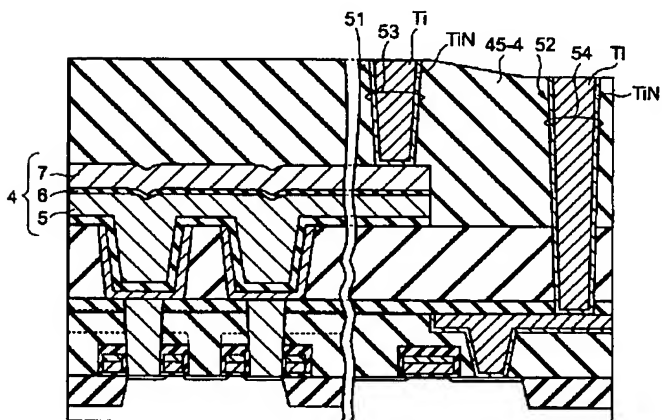
【図14】



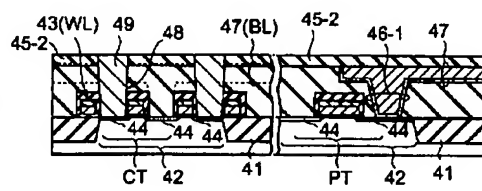
【図19】



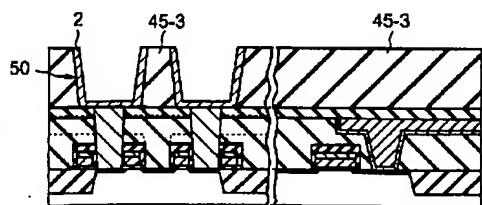
【図15】



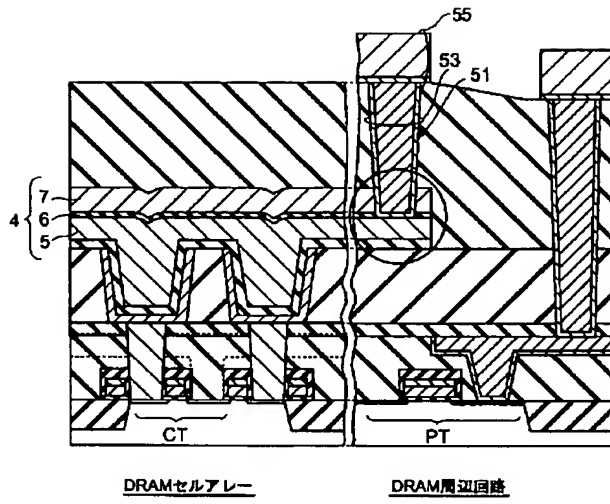
【図18】



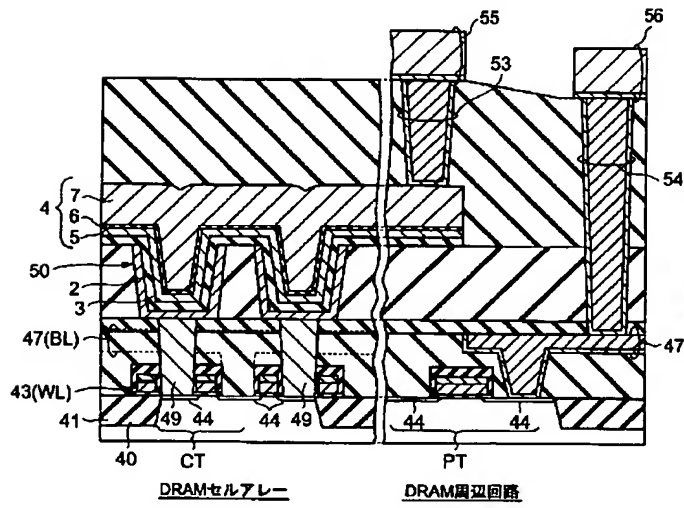
【図20】



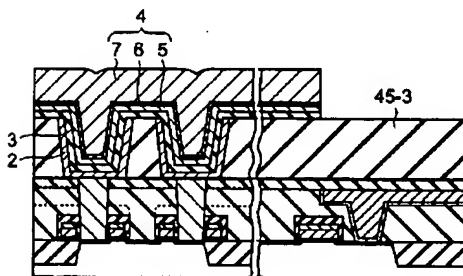
【図 1 6】



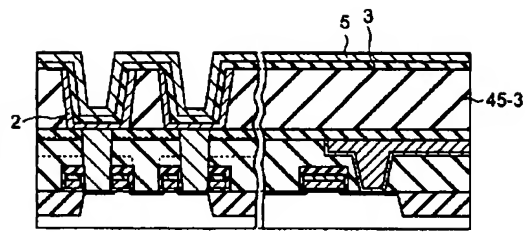
【図 1 7】



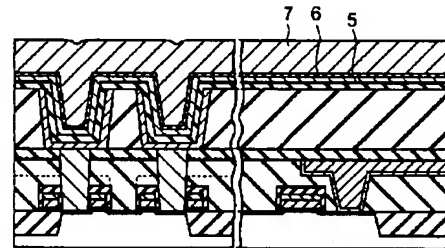
【図 2 3】



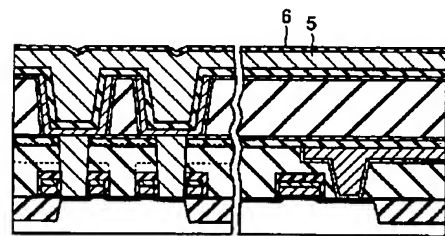
【図 2 1】



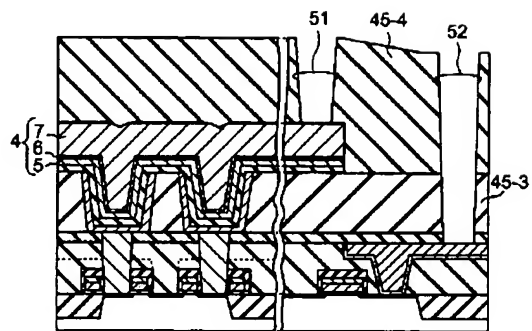
【図 2 2】



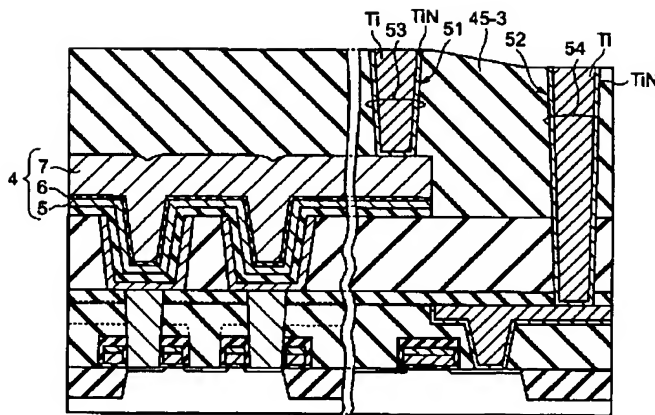
【図 3 3】



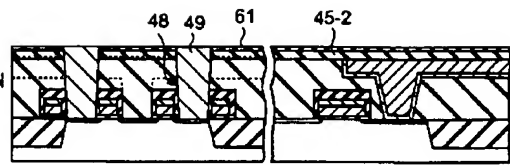
【図 2 4】



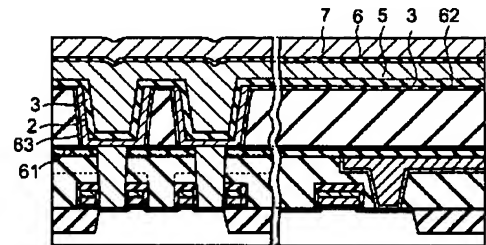
【図 25】



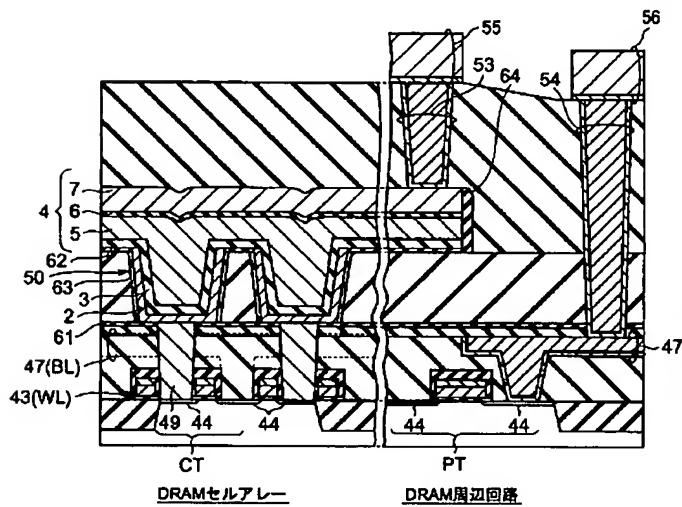
【図 28】



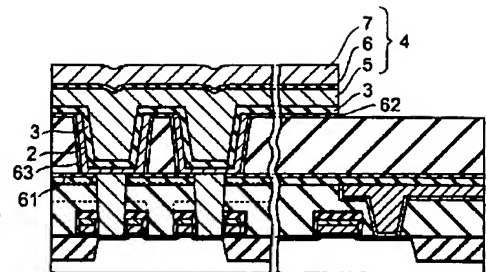
【図 3 4】



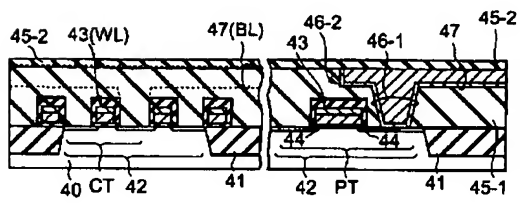
【图 26】



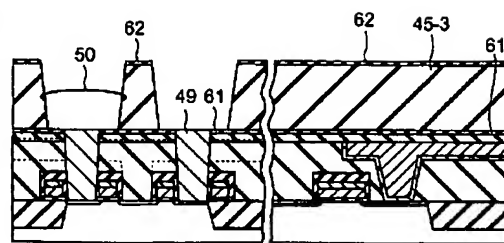
【図 3 5】



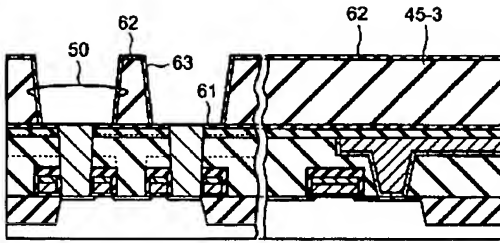
【図 27】



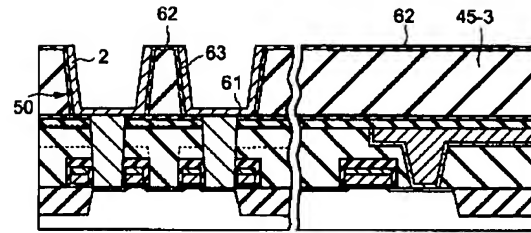
【图 29】



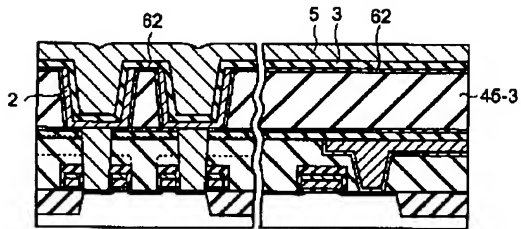
【図 3 0】



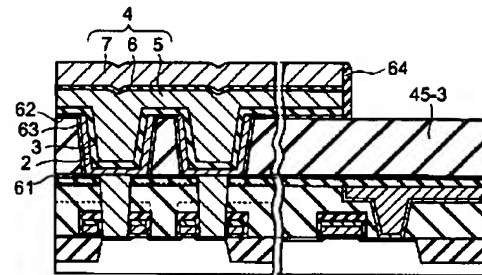
【図 3 1】



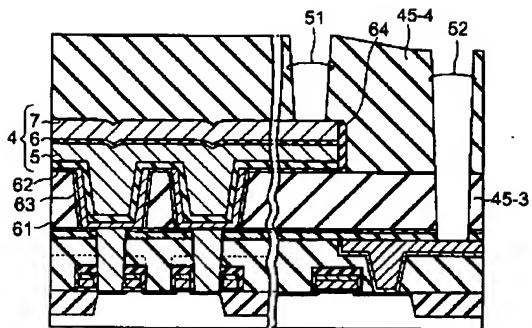
【図 3 2】



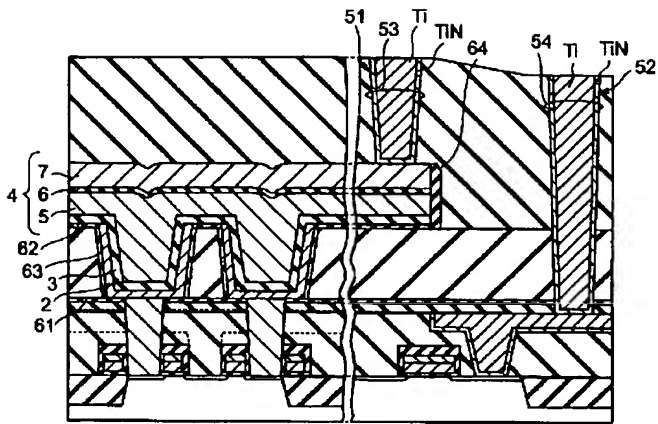
【図 3 6】



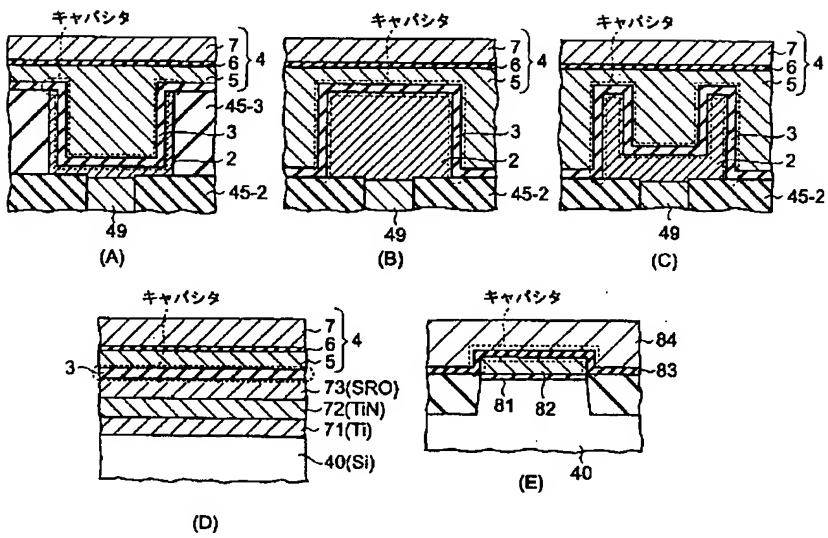
【図 3 7】



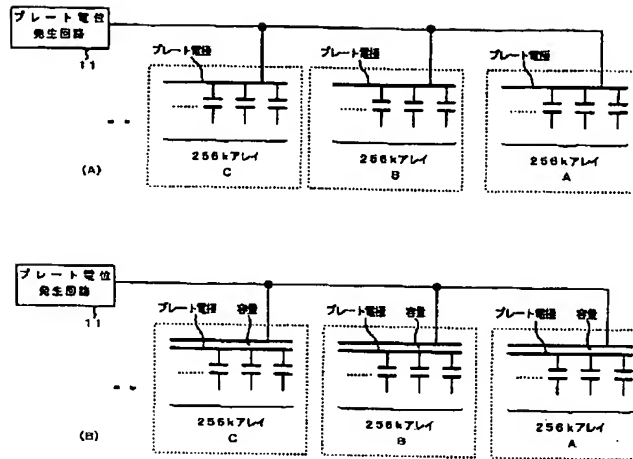
【図 38】



【图 3 9】



【図 40】



フロントページの続き

F ターム(参考) 5F083 AD14 AD24 AD31 AD42 AD48  
 AD49 AD53 AD54 EP00 EP02  
 EP23 EP44 EP49 EP56 FR02  
 GA02 GA06 GA12 GA21 GA27  
 JA06 JA13 JA14 JA15 JA17  
 JA31 JA35 JA36 JA37 JA38  
 JA39 JA40 JA42 JA43 JA44  
 JA53 JA56 MA01 MA05 MA06  
 MA16 MA17 MA18 MA20 PR18  
 PR22 PR33 PR40 PR42 PR43  
 PR44 PR45 PR52 PR53 PR54  
 PR55